

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252095

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 5 1
	21/8242		21/20	
	21/20		21/314	A
	21/314		27/04	C
	27/04		27/10	4 3 4
審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-60617

(22) 出願日 平成8年(1996)3月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 梁瀬 直子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 佐野 賢也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

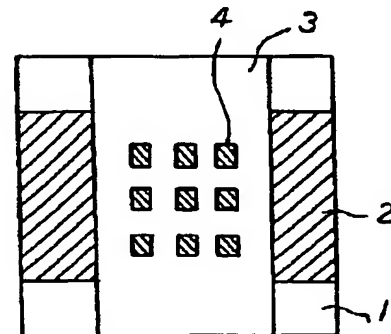
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 薄膜キャパシタ及び半導体装置

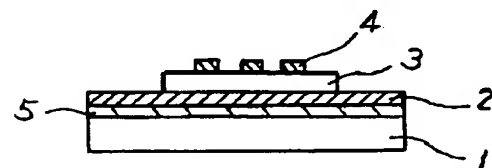
(57) 【要約】

【課題】 誘電体層形成時におけるバリア層の酸化を抑制し、かつエビタキシャル構造を保ったバリア層を形成する。

【解決手段】 基板上に、バリア層とその上に形成された下部電極およびペロブスカイト型結晶構造を有する誘電体材料からなる誘電体膜と、その誘電体膜の上に形成された上部電極からなる薄膜キャパシタにおいて、前記バリア層が炭化物からなる。



(a)



(b)

1

【特許請求の範囲】

【請求項1】単結晶基板と；この単結晶基板上にエピタキシャル若しくは配向成長された炭化物からなるバリア層と；このバリア層上にエピタキシャル若しくは配向成長された下部電極と；この下部電極上にエピタキシャル若しくは配向形成されたペロブスカイト型結晶構造を有する誘電体層と；この誘電体層上に形成された上部電極とを具備したことを特徴とする薄膜キャパシタ。

【請求項2】前記単結晶基板は能動素子が形成された半導体基板であり、請求項1記載の薄膜キャパシタと前記能動素子とを具備したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜キャパシタ及び半導体装置に係り、特にエピタキシャル強誘電体薄膜を用いた半導体記憶装置の下地バリア層に関する。

【0002】

【従来の技術】最近、記憶媒体として強誘電体薄膜を用いた記憶装置（強誘電体メモリ）の開発が盛んに行われており、一部実用化もされている。強誘電体メモリは不揮発性であり、電源を落とした後も記憶容量が失われな
20 い、しかも膜厚が十分薄い場合には自発分極の反転が速く、DRAM並みの高速の書き込み、読みだしが可能であるなどの特徴を持つ。また、1ビットのメモリセルを一つのトランジスタと強誘電体キャパシタで作製することができるため、大容量化にも適している。

【0003】強誘電体メモリに適した強誘電体薄膜には、1残留分極が大きいこと、2残留分極の温度依存性が小さいこと、3残留分極の長時間保持が可能であること、4分極反転の繰り返しに対する残留分極の劣化が少
30 ないことなどが必要である。

【0004】現在、強誘電体材料としては、主としてジルコン酸チタン酸鉛（PZT）が用いられているが、キュリー温度の高さ（300℃以上）や、自発分極の大きさにもかかわらず、主成分であるPbの拡散および蒸発が比較的低い温度で起こりやすい（500℃）などの点より、微細化には対応できないと言われている。

【0005】これに対して本発明者は、Pt/MgO上にエピタキシャル成長した強誘電体薄膜を用いることにより、本来キュリー温度が120℃程度のチタン酸バリウム（以下BaTiO₃と略）が、膜厚60nmにお
40 いて200℃以上のキュリー温度を持つことを見出した。

【0006】BaTiO₃は残留分極が小さく、しかも残留分極の温度依存性が大きいことで実用メモリへの適用は困難であるとされていたが、このエピタキシャルによる効果でキュリー温度を高くすることができると強誘電体メモリの記憶媒体として使用できる可能性がある。

【0007】さらに、下部電極としてPtを使用し、強誘電体としてチタン酸バリウムストロンチウム（Ba_x 50

2

Sr_{1-x}TiO₃、以下BSTOと呼ぶ）の組成領域x=0.3~0.9を用いる事により、本来強誘電性を示さないはずの組成領域においても（x≤0.7）強誘電性が発現することが、実験的に確認されている。

【0008】この報告によると膜厚200nm程度の比較的厚い膜厚でもエピタキシャル成長による歪み誘起強誘電性が確認された。これにより、残留分極の比較的大きい膜厚領域での強誘電性が確認され、実用化が期待される。

【0009】

【発明が解決しようとする課題】しかし、実際にスイッチ用トランジスタを形成した半導体基板とペロブスカイト系強誘電体からなるメモリセルを組み合わせる場合には、高誘電率薄膜を構成するSr、Baなどの元素がトランジスタ中に拡散するとスイッチング動作に悪影響を及ぼすため、半導体基板との相互拡散を防ぐバリア層が必要となる。また、前記エピタキシャル効果を得るためには、このバリア層も半導体基板上にエピタキシャル成長させる必要がある。しかし、MgO基板をシリコンデ
バイス中に取り込むことは著しく困難である。

【0010】バリア層として窒化チタン（以下TiN）を用いることが考えられる。TiNはMgOと格子定数が近く（ミスフィット0.3%）、また現在のSiデバイスにおいてもバリアメタルとして利用されている。また、高融点の化合物（3000℃以上）であるため、熱的にも非常に強い。また、比抵抗が多結晶で約50μΩ・cm程度、エピタキシャル膜で18μΩ・cm程度と非常に低く膜厚方向での電気特性を利用しようとする場合、コンタクト抵抗が下げられるという利点が考えられる。

【0011】しかしながら、TiNは（100）または（111）Si基板とのミスマッチが約30%程度と非常に大きく、従来のスパッタリング法などによる方法ではエピタキシャル成長させることは困難と考えられていた。

【0012】しかし、近年J. Narayan et al., Appl. Phys. Lett. 61 (11) (1992) 1290, J. Appl. Phys. 75 (2) (1994) 860にレーザー蒸着法を用いてTiNのSi（100）または（111）基板上へのエピタキシャル成長が報告されている。

【0013】また、発明者らも、反応性イオンビーム成膜法を用いてTiNのSi（100）または（111）基板上へのエピタキシャル成長を成功させた。さらに、我々はこのTiN（100）／／Si（100）エピタキシャル膜上で、基板温度600℃におけるrfスパッタリング法によりPtおよびBSTOがエピタキシャル成長することを見出した。

【0014】しかしながら、このSi基板上BSTO（Ba：Sr=1：1）エピタキシャル膜について薄膜

3

キャパシタの分極対電界（P-E）ヒステリシスを測定したところ、このヒステリシス曲線より求めた残留分極の値は 0.01 C/m^2 と非常に小さい値しか得られなかった。

【0015】これは、すなわち、本来格子定数のミスマッチにより導入されるべき歪みが酸素欠損により緩和されてしまうことによると考えられる。このときのスパッタガス組成は O_2/Ar 比が25%で成膜を行なっている。事実、 MgO 基板上的 Pt/BSTO 膜においてはスパッタガス組成を O_2 100%とすると残留分極の値が O_2/Ar 比25%の場合と比較し、約3倍になっている。

【0016】しかし、 O_2 100%のスパッタガス組成を用い、 TiN (100) // Si (100) エピタキシャル膜上で、基板温度 600°C における rf スパッタリング法により Pt および BSTO の成膜を行なうと、 TiN の部分より酸化され、その上の Pt/BSTO 双方ともエピタキシャル成長はせず、多結晶膜となってしまうという問題があった。

【0017】本発明は以上の点を考慮してなされたもので、酸素欠損の少ないペロブスカイト誘電体層をエピタキシャル成長できる薄膜キャパシタ構造を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明は、単結晶基板と；この単結晶基板上にエピタキシャル若しくは配向成長された炭化物からなるバリア層と；このバリア層上にエピタキシャル若しくは配向成長された下部電極と；この下部電極上にエピタキシャル若しくは配向成長されたペロブスカイト型結晶構造を有する誘電体層と；この誘電体層上に形成された上部電極とを具備したことを特徴とする薄膜キャパシタである。

【0019】またトランジスタなどの能動素子が形成された半導体基板上にこの薄膜キャパシタを形成した半導体装置、例えば FRAM （強誘電体メモリ）である。バリア層としては炭化物エピタキシャル膜または配向膜（（111）配向、（100）配向など）を用いる。材料としては、 Si 、 Ti 、 V 、 Nb 、 Ta 、 W の炭化物、更には必要によりドーピングで導電性の向上されたグラファイトまたはダイヤモンドを用いることができる。

【0020】 SiC 、ダイヤモンドで構成する際には、 P 、 Al 、 N 及び B の内、少なくとも1種類の原子を $1 \times 10^{16} \text{ atom/cm}^3$ 以上 $1 \times 10^{21} \text{ atom/cm}^3$ 以下の範囲でドーピングすることが好ましい。膜厚は $10\text{ nm} \sim 200\text{ nm}$ 膜厚である。

【0021】本発明によれば、バリア層によるエピタキシャル成長の中断が無いために半導体基板上に容易に歪み誘起エピタキシャル強誘電体キャパシタを利用した半導体記憶装置（ FRAM など）を作製することが可能と

4

なる。また、バリア層としてエピタキシャル膜を用いれば、結晶粒界などの欠陥の多い多結晶膜よりも粒界拡散による原子の移動する可能性が低く、バリア性も向上する。

【0022】さらに、耐酸化性の高い炭化物または炭素を用いることにより、酸化物の誘電体の作製に有効だけでなく、半導体基板上への酸化物電極の適用も容易になる。膜厚方向には特定の面方位のみをそろえているが膜面内には自由度を有する配向膜としても、同様の効果が得られる。

【0023】また、本発明で用いられ得るペロブスカイト型結晶構造を有する誘電性材料としては、チタン酸バリウム（ BaTiO_3 ）、チタン酸ストロンチウム（ SrTiO_3 ）、チタン酸カルシウム（ CaTiO_3 ）、スズ酸バリウム（ BaSnO_3 ）、ジルコニウム酸バリウム（ BaZrO_3 ）等の単純ペロブスカイト型酸化物、マグネシウム酸ニオブ酸バリウム（ $\text{Ba}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ ）、マグネシウム酸タンタル酸バリウム（ $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ ）等の複合ペロブスカイト型酸化物や、これらの中から複数の酸化物を同時に固溶させた系等が例示され、さらに化学量論比からの多少のずれが許容されることはいうまでもない。

【0024】このような誘電性材料からなる誘電体膜を導電性基板の上にエピタキシャル成長させるときの成長方位としては、誘電体膜及び導電性基板の正方晶系の（001）面あるいは立方晶系の（100）面が互いに平行となるように成長させることが好ましく、誘電体膜の成膜方法としては、反応性蒸着、 rf スパッタリング、レーザアブレーション、 MOCVD 等が挙げられるが、 70 nm 以上の厚い膜を形成するには特にスパッタリングが好ましい。

【0025】また誘電体膜の膜厚は、強誘電体メモリに使用されたときに十分な残留分極あるいは実効誘電率を得る観点から 70 nm 以上であることが好ましく、実用上は 70 nm 以上 $1\text{ }\mu\text{m}$ 以下の範囲内であることが望まれる。但し、 DRAM 等に用いられる常誘電性を示す誘電体膜については、 70 nm 未満の膜厚でも DRAM のメモリセルのキャパシタ等に十分適用され得る。

【0026】下部電極は誘電体膜をエピタキシャル成長させるのに適当な格子定数をもつものが必要であり、例えば Pt などが挙げられる。必要に応じ合金元素を添加することも可能である。上部電極としても Pt などを用いることが好ましい。

【0027】

【実施例】以下に本発明の実施例を説明する。図1は薄膜キャパシタの概略図であり、同図（a）が平面図、同図（b）が断面図である。基板（1）上にバリア層（5）、下部電極（2）、誘電体層（3）、上部電極（4）が順次積層されている。この例では上部電極（4）が分割され、個々の電極に対応する領域が個々の

キャパシタとなる。

【0028】バリア層の効果を以下に示す。Si(100)基板上にバリア層として低エネルギーイオンビーム法で600℃でBドーピング型にした β -SiC膜を100nm程、エピタキシャル成長させる。ここで言う、低エネルギーイオンビーム法とは超高真空中で(約 2.6×10^{-6} Pa)、EB蒸着によりSiを蒸着すると同時に100eVに加速された C^+ イオンを基板に照射し、基板上で反応させる成膜方法である。

【0029】原料SiにはBを約 10^{20} atom/cm³程ドーピングしたSiを使用する。 C^+ イオンを得るために、原料ガスにはメタンを使用し、分析マグネットによって、 C^+ のみを引き出している。Siの蒸着量は基板のそばに設置された膜厚計、C量は基板に流れ込むイオン電流量でモニターし、それぞれの供給量を制御する。

【0030】基板前処理方法は、Si基板を1%沸酸水溶液に1分間浸して自然酸化膜を除去した後、超々純水により約20分間洗浄して表面をH終端している。成膜前に一度700℃まで昇温し、基板表面に吸着している炭化物和Siを反応させて、RHEEDによりそのエピタキシャルを確認した後に、600℃での成膜を行なう。

【0031】エピタキシャル成長した β -SiC膜の上にPt膜を100nm、rfマグネトロンスパッター法により600℃のAr雰囲気中で成膜し、その上に酸化物強誘電体である $Ba_{0.5}Sr_{0.5}TiO_3$ を230nm、同じくrfマグネトロンスパッター法により600℃の O_2 の雰囲気中で成膜する。スパッターターゲットは、Pt及び $Ba_{0.5}Sr_{0.5}TiO_3$ を使用した。

【0032】比較例として、実施例と同じ前処理を施したSi(100)基板に600℃で同じ低エネルギーイオンビーム法で成膜したTiNエピタキシャル膜をバリア層として、実施例と同様にPt膜及び $Ba_{0.5}Sr_{0.5}TiO_3$ 膜を成膜した。

【0033】成膜後、エピタキシャル β -SiC膜の上部には透明な膜が一番上に成膜されていたが、エピタキシャルTiN膜の上部には白濁した膜が成膜していた。X線回析の結果、 β -SiCエピタキシャル膜の上には、Pt、 $Ba_{0.5}Sr_{0.5}TiO_3$ がそれぞれ(100)配向している事が分かった(図2)。

【0034】これに対し、エピタキシャルTiN膜上の比較例では基板の回析線以外は、強度の弱い多結晶シグナルしか現れなかった。次にそれぞれの、オージェ電子分光での深さ方向の分析結果を、図3に示す。(a)はエピタキシャル β -SiC膜、(b)はエピタキシャルTiN膜の結果である。酸素量に注目すれば、比較例のTiN膜は酸化されているが、エピタキシャル膜の β -SiCは、酸化されていない事が分かる。

【0035】TiN膜は、酸化物誘電体の $Ba_{0.5}Sr_{0.5}TiO_3$ 膜の酸素雰囲気での成膜中に酸化されると

考えられる。しかし、実施例に示したようなエピタキシャル β -SiC膜は、続く酸素雰囲気中での成膜に対して高い耐酸化性を示す。しかも、その上部に成膜されたPt膜及び $Ba_{0.5}Sr_{0.5}TiO_3$ 膜がエピタキシャル成長する。この事は、歪み誘起エピタキシャル強誘電体キャパシタを利用したメモリー類(FRAM等)を作製する際に、非常に有効である。T. Kawakubo et. al., Jpn. J. Appl. Phys., Vol. 32 (1993), L1692-L1694参照)。

【0036】また他の炭化物でも同様に効果をSi(111)基板上にエピタキシャルNbC膜を、バリア層とし膜厚100nmほど成膜する。成膜法は、同様に低エネルギーイオンビーム法を用いるが、NbをEB蒸着すると同時に、100eVに加速された C^+ イオンを照射するとする。成膜温度は600℃である。Si基板前処理も同様にH終端した用いた。

【0037】NbC膜上に前述と同様にPt膜、 $Ba_{0.5}Sr_{0.5}TiO_3$ 膜を成膜した。オージェ電子分光での深さ方向の分析を行ったところ、実施例1同様バリア層は酸化はされていないかった。X線回析解析の結果、Si(111)基板上にNbC膜及びPt膜及び $Ba_{0.5}Sr_{0.5}TiO_3$ 膜が全て、[111]軸を平行にするようにエピタキシャル成長していることが分かった。すなわち、バリア層をエピタキシャル膜とすることは、その上部に容易に歪み誘起エピタキシャル強誘電体キャパシタを作製できる。

【0038】他の炭化物(グラファイト、ダイヤモンドなど)も同様の効果を得ることができる。図4は、本発明のダイナミックアクセスメモリー(DRAM)半導体記憶装置の一例を示す断面図である。41は第1導電型半導体基板、42は素子間分離酸化膜、43はゲート酸化膜、44はワード線、45、47は層間絶縁膜、46は第2導電型不純物拡散層、48はビット線、49は平坦化用絶縁膜、50は研磨停止層、51は単結晶シリコンストレージノード、52はエピタキシャルバリア金属、53はエピタキシャル下部電極、54はエピタキシャル誘電体膜、55は上部電極である。

【0039】図4示す例の工程順模式断面図を図5に示す。図5(a)はメモリセルのトランジスタ部及びビット線48を形成した後、平坦化用絶縁膜49及び研磨停止層50を形成した後の断面図である。ここでは、絶縁膜を平坦化するためにエッチバック法を用いても良いし、またCMP法などを用いても良い。なお、研磨停止層50としては、酸化アルミニウムなどの絶縁膜を用いることができる。

【0040】次いで、図5(b)に示すように、公知のフォトリソグラフィ及びプラズマエッチングにより、研磨停止層50の開孔部に引き続き第2導電型不純物拡散層46へのコンタクトホールを形成し、単結晶シリコン

7

の選択成長技術によりストレージノード51を形成した。ストレージノード51は例えば、ジクロルシランを原料ガスとしたLPCVD法により、成長温度820℃で単結晶シリコンを選択的に埋め込むことにより得ることができる。

【0041】次いで、図5(c)に示すように、CMPないしは機械的研磨により研磨停止層50上に形成されている単結晶シリコンを除去し、ニッケルの薄膜61をスパッタ法により形成する。その後、同図(d)に示すように、エピタキシャルバリア金属52を形成する。

【0042】次いで、図5(e)に示すように、フォトリソグラフィ及びプラズマエッチングにより、バリア層52に浅いトレンチを形成した後、下部電極53となる白金薄膜をスパッタ法により形成した。その後、再びCMP法により研磨停止層50上に形成されている白金薄膜を除去した後、エピタキシャル誘電体膜54及び上部電極55を順次形成する。なお、誘電体膜の形成には、公知のマグネトロンスパッタ法やMOCVD法などを使用することができる。

10

*【0043】

【発明の効果】以上の説明で明らかなように、本発明における炭化物を用いることによりバリアメタル自体の誘電体層形成時における酸化を抑制し、かつエピタキシャル構造を保ったバリア層を形成することができる。これにより、酸素欠損の少ないエピタキシャル誘電体層を提供することが可能となり、従って強誘電体においては残留分極の値が大きくなり、半導体基板上への良好な強誘電体メモリの形成が可能となる。

【図面の簡単な説明】

【図1】 本発明の薄膜キャパシタ構造を示す概略図。

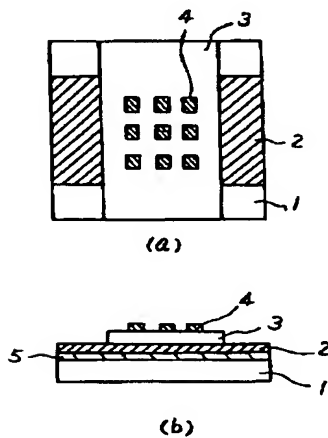
【図2】 本発明の実施例のX線回析図。

【図3】 オージェ電子分光における深さ方向プロファイル図。

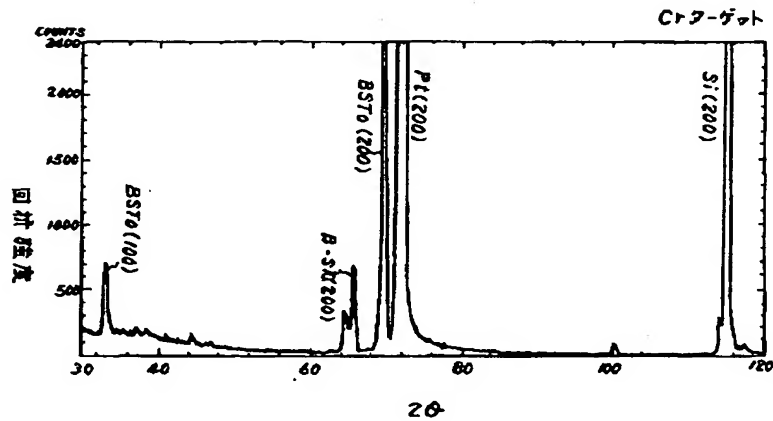
【図4】 本発明半導体製造の実施例を示す概略断面図。

【図5】 本発明半導体装置の実施例を示す概略工程断面図。

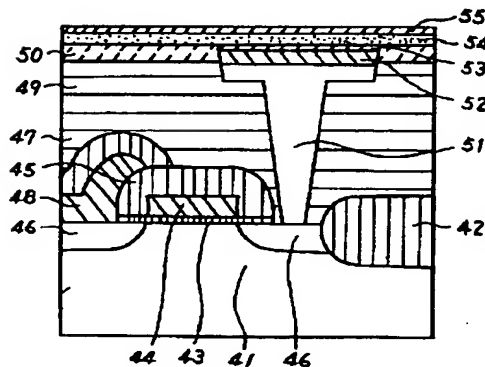
【図1】



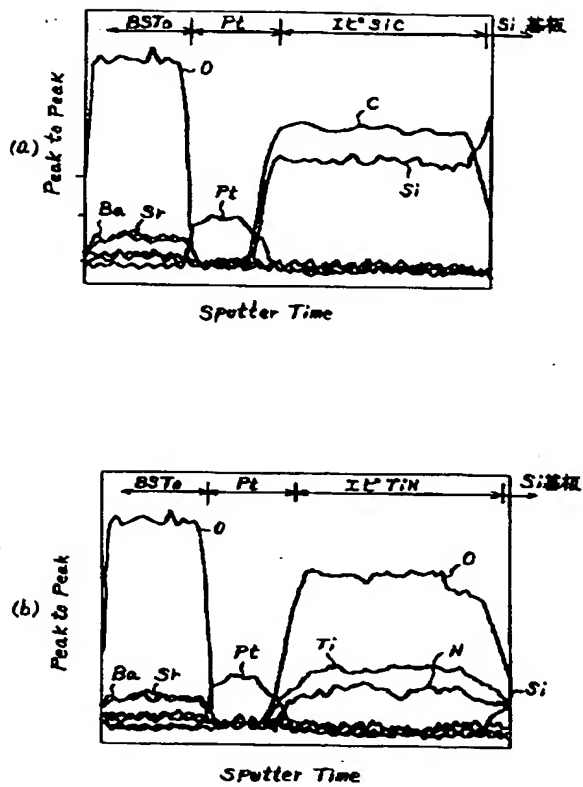
【図2】



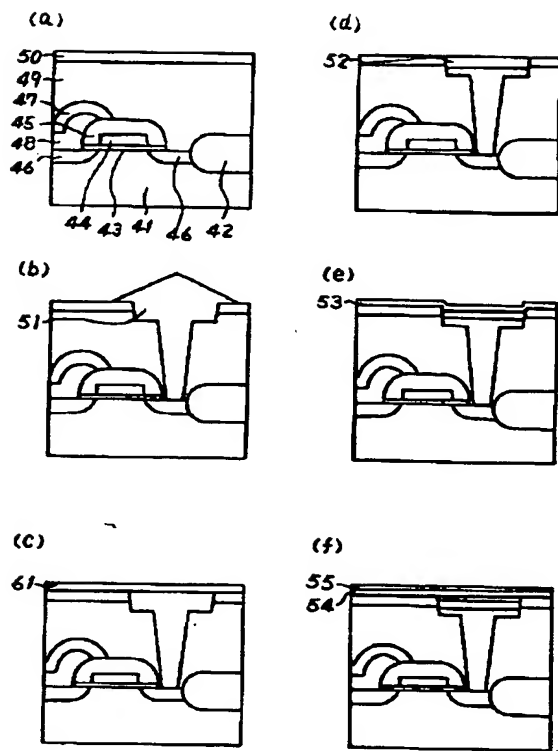
【図4】



【図 3】



【図 5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/822
 27/115
 21/8247
 29/788
 29/792

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 7 1